

**Computer for playing back video data on a monitor**

The invention relates to a computer having a video circuit (14, 40) configured by a monitor identification signal (35). The self-configuring video circuit allows the connection of various types of monitors without the use of dedicated video cards or other special circuits for adapting to the monitor type used. The computer automatically queries the type of monitor to which it is coupled, and configures the internal circuit thereof accordingly, in order to generate video signals compatible with the monitor. The computer comprises a central unit (13) for executing a program for providing video signals as a visual display on the monitor (27). The data are stored in a RAM (42, 43). The monitor provides an identification signal to the video circuit, which thereupon sends both the correct video timing signal and video data to the monitor for display. The identification signal serves to configure the video circuit, depending on the requirements of the monitor.

⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑪ Offenlegungsschrift  
⑪ DE 40 25 295 A 1

⑤ Int. Cl. 5;  
G 06 F 3/153

② Aktenzeichen: P 40 25 295.7  
② Anmeldetag: 9. 8. 90  
③ Offenlegungstag: 14. 2. 91

DE 40 25 295 A 1

④ Unionspriorität: ② ③ ④  
10.08.89 US 392111

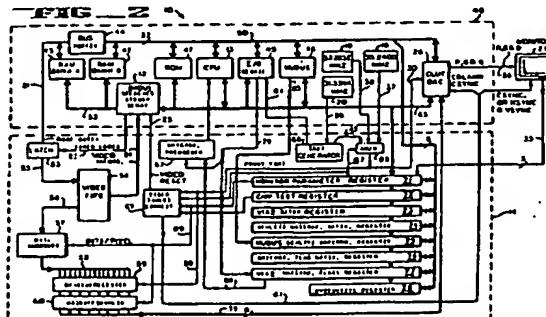
⑤ Anmelder:  
Apple Computer, Inc., Cupertino, Calif., US  
⑥ Vertreter:  
Zenz, J., Dipl.-Ing., 4300 Essen; Helber, F., Dipl.-Ing.,  
6144 Zwingenberg; Hosbach, H., Dipl.-Ing.,  
Pat.-Anwälte, 4300 Essen

⑦ Erfinder:

Howard, Brian D., Menlo Park, Calif., US; Bailey,  
Robert L., San Jose, Calif., US

⑧ Computer zur Wiedergabe von Videodataen auf einem Monitor

Ein Computer hat eine Videoschaltung (14, 40), die von einem Monitor-Identifizierungssignal (35) konfiguriert wird. Die selbst-konfigurierende Video-Schaltung erlaubt den Anschluß verschiedener Monitorarten ohne den Einsatz gesonderter Videokarten oder anderer spezieller Schaltungen zur Anpassung des verwendeten Monitortyps. Der Computer testet automatisch den Monitorotyp ab, mit dem er gekoppelt ist, und konfiguriert danach seine interne Schaltung zur Entwicklung von mit dem Monitor kompatiblen Videosignalen. Der Computer weist eine Zentraleinheit (13) zur Ausführung eines Programms für die Lieferung von Videosignalen als Sichtanzeige auf dem Monitor (27) auf. Die Daten werden in einem RAM (42, 43) gespeichert. Der Monitor liefert ein Identifizierungssignal an die Videoschaltung, die daraufhin sowohl die richtigen Video-Zeitgabesignale als auch Videodataen an den Monitor zur Anzeige schickt. Das Identifizierungssignal dient zur Konfiguration der Videoschaltung in Abhängigkeit von den Bedürfnissen des Monitors.



DE 40 25 295 A 1

## DE 40 25 295 A1

## Beschreibung

Die Erfindung bezieht sich auf das Gebiet von Videoschaltungen in Zuordnung zu digitalen Computerdisplays und befaßt sich insbesondere mit Computersystemen auf Mikroprozessorbasis, die ein Videosignal zur Bildwiedergabe auf einem Bildschirm liefern.

Heutige Personalcomputer (PCs) auf Mikroprozessorbasis finden verbreitete Anwendung auf den Gebieten der Erziehung, Wissenschaft, Geschäftswesen und Heim. Mit zunehmender Verbreitung von Personalcomputern erhöhte sich auch der Bedarf an schnelleren und flexibleren Video-Leistungsmerkmalen. Demgemäß sind Computerhersteller auf der Suche nach Möglichkeiten zur Erhöhung der Leistung und Anpassungsfähigkeit von Video-Displaysystemen bei Verringerung der Kosten für den Konsumenten.

Generell ist die interne Architektur des Personalcomputers derart organisiert, daß die Zentraleinheit (CPU) auf einer gedruckten Schaltungskarte angeordnet ist, die auch den Systemspeicher und unterstützende Logikbauelemente enthält. Diese Karte wird gewöhnlich als "Mutterkarte" oder "Grundplatine" bezeichnet. Wenn der Benutzer in früherer Zeit Video-Graphikmerkmale wünschte, hatte er notwendigerweise eine separate Video- oder Graphikkarte zu kaufen, die in einen mit der Mutterkarte über ein verbindendes Businterface gekoppelten Schlitz eingesteckt werden mußte. Diese Karte enthält Dual-Port-Video-Direktzugriffsspeicher (VRAMs), die zur Speicherung von Video-Displaydaten verwendet werden, welche an das Datensichtgerät (d.h. ein Monitor) zu einem späteren Zeitpunkt ausgegeben werden. Die Videokarte verfügt auch über ihre Video-Zeitgabeschaltung, die für einen speziellen Monitortyp konfiguriert ist. Dies bedeutet, die Karte kann nur mit demjenigen Monitortyp, und keinem anderen, verwendet werden, für den sie konfiguriert wurde. Diese frühere Lösung war für Maschinen, wie die ursprünglichen Macintosh-II-Computer typisch und findet auch heute noch verbreitete Benutzung. Die Verwendung einer separaten Videokarte hat jedoch einige wesentliche Nachteile, von denen der vielleicht wichtigste darin liegt, daß der Benutzer entweder eine andere Videokarte für jeden Typ von Datensichtgerät oder Monitor, mit dem der Computer verbunden ist, benötigt oder das System muß auf irgendeine Weise bei einer Monitoränderung rekonfiguriert werden (z.B. durch Umschalten verschiedener Selektionsschalter). So benötigt beispielsweise ein Computer, der zur Erzeugung eines Bilds auf einem 15-Zoll-Portrait-Farbmonitor benutzt wird, eine Art von Videokarte, während ein mit einem 9-Zoll-Schwarz/Weiß-Schirm gekoppelter Computer eine andere Karte benötigt. Dementsprechend machen unterschiedliche Monitore den Einsatz angepaßter Videokarten erforderlich, welche letzten Endes die Flexibilität der Gesamtanordnung für den Benutzer entscheidend verringern.

Wie zu sehen sein wird, macht die Erfindung die Verwendung unterschiedlicher Videoschaltungen in Form von getrennten Videokarten o.dgl. in Zuordnung mit jedem Monitortyp überflüssig. Daher können zahlreiche verschiedene Monitortypen mit demselben Computer verwendet werden, ohne daß es einer Rekonfiguration der internen Videoschaltung des Computers bedarf.

Zu diesem Zweck sieht die Erfindung die Verwendung einer selbstkonfigurierenden Videoschaltung vor, die zuerst den Typ des benutzten Monitors identifiziert und danach einen aus einer Mehrzahl von Parametersätzen entsprechend dem verwendeten Monitortyp auswählt. Diese Parameter werden dann dem Rest der Displayschaltung zur Verfügung gestellt. Die Erfindung ermöglicht daher den Anschluß verschiedener Monitore, ohne daß die Videoschaltung ganz oder teilweise ersetzt werden muß. Für den Benutzer erleichtert dies wesentlich die Handhabung, da er keine Karten auszutauschen, Schalter zu betätigen oder das Computersystem zu rekonfigurieren braucht, wenn Monitore gewechselt werden.

Der erfindungsgemäß Computer hat eine selbst konfigurierende Videoschaltung, die einen Anschluß verschiedener Monitortypen erlaubt. Der Computer erfäßt automatisch den an ihm angeschlossenen Monitortyp und konfiguriert danach seine interne Schaltung, um kompatible Videosignale an den Monitor zu liefern.

Bei einem Ausführungsbeispiel der Erfindung weist der Computer eine Zentraleinheit (CPU) auf, welche ein Videodata für die Wiedergabe auf dem Monitor erzeugendes Programm ausführt. Die in dem Computer gespeicherten Daten werden in einem Direktzugriffsspeicher (RAM) gespeichert. Der Monitor liefert ein Identifizierungssignal an die Videoschaltung, welche daraufhin sowohl die richtigen Videoaktionsignale als auch die Videodata für die Anzeige auf dem Monitor erzeugt. Das Identifizierungssignal dient zur Konfiguration der Videoschaltung entsprechend den Erfordernissen des Monitors.

Zweckmäßige Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet. Im folgenden wird die Erfindung anhand eines in der Zeichnung schematisch dargestellten Ausführungsbeispiels näher erläutert. In der Zeichnung zeigen:

- Fig. 1 ein verallgemeinertes Blockschaltbild des Computersystems nach der Erfindung;
- Fig. 2 ein genaueres Blockschaltbild eines bevorzugten Ausführungsbeispiels der Erfindung;
- Fig. 3 verschiedene Zeitgabe-Videosignale und deren zugehörigen Video-Zeitgabeparameter;
- Fig. 4 die Videozeitgabesignalverläufe für einen Speicherzyklus, bei dem Videodata vom System-RAM zum Video-FIFO der Videoschaltung übertragen werden;
- Fig. 5a eine Bitreihenfolge (Bitordnung) der Videodata im Schieberegister und die Abgriffe für ein-Bit-pro-Pixel-Video;
- Fig. 5b die Bitreihenfolge von Videodata im Schieberegister und die Abgriffe, die beim zwei-Bit-pro-Pixel-Video verwendet werden;
- Fig. 5c die Bitreihenfolge von Videodata im Schieberegister und die Abgriffe, die für vier-Bit-pro-Pixel-Video verwendet werden;
- Fig. 5d die Bitreihenfolge von Videodata im Schieberegister und die Abgriffe, die für acht-Bit-pro-Pixel-Video verwendet werden; und
- Fig. 6 die Zeitbeziehung zwischen den Video-Zeitgabesignalen und dem Video-Rücksetzsignal, welches den Beginn eines Live-Videorahmens einleitet.

## DE 40 25 295 A1

Beschrieben wird ein Computer mit einer selbst konfigurierenden Videoschaltung zum Anschluß unterschiedlicher Videodisplaymonitore. In der folgenden Beschreibung werden zahlreiche spezielle Einzelheiten, wie Taktfrequenzen, Registergrößen, Bitbezeichnung usw. angegeben, um die Erfindung leichter verständlich zu machen. Es ist jedoch für den Fachmann klar, daß die Erfindung auch ohne diese speziellen Einzelheiten realisiert werden kann. In anderen Fällen sind bekannte Schaltungen nur in Form von Schaltungsböcken angegeben, um die Beschreibung der Erfindung nicht mit unnötigen Einzelheiten zu belasten.

Wenn auch die Erfindung nachfolgend anhand ihres bevorzugten Ausführungsbeispiels im Macintosh-IIci-Computer beschrieben werden wird, ist für den Fachmann klar, daß die Erfindung auch in anderen Computern realisiert werden kann und daß zahlreiche Abwandlungen im Rahmen des Erfindungsgedankens möglich sind.

Im folgenden wird auf Fig. 1 Bezug genommen, in der ein verallgemeinertes Blockschaltbild des bevorzugten Ausführungsbeispiels der Erfindung gezeigt ist. Das Computersystem 10 weist eine RAM-Basis-Videoeinheit (RBV) 14 auf, welche Video-Displaysignale für verschiedene Displaymonitore erzeugt. RBV 14 enthält zwei Basiskomponenten: eine Videokomponente, welche Sync-Signale und Daten für verschiedene Monitorarten liefert (bei dem beschriebenen Beispiel unterstützt die RBV-Schaltung vier verschiedene Monitorarten), und einen Teil, der einen Vierfach-Interfaceadapter (VIA) emuliert.

Der VIA-Teil enthält eine Vielzahl von 8-Bit-Registern zur Steuerung von gemischten Ein- und Ausgängen, Videosteuerung, RBV-Chip-Test-Betrieb und Unterbrechungsverarbeitung. Die CPU 13 steht mit diesen Registern über einen 8-Bit-Zweirichtungs-Datenbus in Verbindung der von dem durch den Videoteil verwendeten 32-Bit-RAM-Datenbus getrennt ist. Dies ermöglicht einen von der Aktivität des Videoteils auf dem getrennten RAM-Datenbus unabhängigen Zugriff auf die Register. Zum überwiegenden Teil ist der VIA-Teil der RBV 14 für das Verständnis der vorliegenden Erfindung unerheblich. Daher wird die Erläuterung des VIA-Teils beschränkt auf diejenigen Elemente, welche zur Erläuterung der vorliegenden Erfindung zweckmäßig sind.

Die RBV-Einheit 14 wird vorzugsweise als integrierte Schaltung (IC) unter Verwendung des MOS-Verfahrens hergestellt. Insbesondere kommt die CMOS-Technologie zum Einsatz.

RBV 14 arbeitet mit einer Speicherdecodiereinheit (MDU) 12 und einem Direktzugriffsspeicher (RAM) 11 zusammen. MDU 12 wirkt als Speichersteuergerät und entscheidet über den Zugriff auf RAM 11 von der RBV 14. MDU 12 ist so konzipiert, daß sie eine kompatible Schnittstelle zwischen CPU 13, RAM 11, ROM 47 und I/O-Geräten (Eingabe/Ausgabe-Geräten) 45 (siehe Fig. 2) bildet. Bei dem bevorzugten Ausführungsbeispiel handelt es sich bei der CPU 13 um einen MC68030-Mikroprozessor der Firma Motorola Corporation.

RAM 11 hat wenigstens eine dynamische Speicherbank (DRAM) und ist mit RBV 14 über eine 32-Bit-Busleitung 21 gekoppelt. Vorzugsweise verfügt RAM 11 über zwei separate RAM-Bänke, die von der MDU 12 direkt ansteuert werden. MDU 12 ist mit RAM 11 über eine Steuerleitung 52 gekoppelt. RBV 14 und MDU 12 stehen über Leitungen 22-25 miteinander in Verbindung. Wie weiter unten erörtert werden wird, beträgt der Anfangszugriff auf im RAM 11 gespeicherte Videodaten fünf CPU-Takte, gefolgt von einem Stoßzugriff von zwei Takt. Intern enthält die MDU 12 eine Zustandsmaschine und einen Adreßmultiplexer, zugeordnet zu der Steuerung von Bank A des RAM 11 in Verbindung mit Video-Anforderungssignalen, die von der RBV 14 geliefert werden.

Die Frequenz für die Punktakterzeugung wird von drei getrennten Frequenzquellen 18-20 geliefert. Jede dieser Quellen stellt eine Quarzoszillatorschaltung dar, welche bei einer charakteristischen Frequenz arbeitet. Die Frequenzquellen 18-20 sind mit dem RAM-Basis-Videoeinheit 14 über Leitungen 37-39 gekoppelt. Die Verwendung von Multifrequenz-Referenzeingaben ist ein Weg, auf dem der erfindungsgemäße Computer die unterschiedlichen Monitorarten adaptiert. Obwohl drei Frequenzquellen gezeigt sind, können im Rahmen des Erfindungsgedankens wesentlich mehr verwendet werden. Alternativ kann eine einzige programmierbare oder einstellbare Taktquelle anstelle separater Frequenzquellen 18-20 verwendet werden.

RBV 14 liefert Videodaten an einen Video-Digital/Analog-Wandler (VDAC) 26 über einen Bus 29. VDAC 26 weist eine Farbnachschatgetabelle (CLUT) und einen DAC auf, der bei dem beschriebenen Ausführungsbeispiel als Bit478-Gerät der Firma Brooktree Corporation ausgebildet ist. VDAC 26 erhält auch Punktakt-, zusammengesetzte Dunkelsteuer (CBLANK)- und zusammengesetzte Video-Sync (CSYNC)- Signale von RBV 14 über Leitungen 30, 31 bzw. 33. Diese Signale ändern sich entsprechend dem verwendeten Monitorart und dienen zur Organisation der Videozeitgabe der Daten auf dem Bildschirm. VDAC 26 liefert analoge rote, grüne und blaue (RGB) Farbvideosignale an den Monitor 27 und zwar über die Leitung 36. Monitor 27 kann auch Horizontal-sync- (HSYNC) und Vertikalsync- (VSYNC) Videozeitgabesignale oder ein zusammengesetztes Sync- (CSYNC) Signal aus der RBV 14 erhalten. Ein Monitoridentifizierungs- (ID) Signal wird vom Monitor 27 über eine Leitung 35 an die RBV 14 angelegt.

Wie oben erwähnt, werden vier unterschiedliche Displaymonitorarten von dem beschriebenen Ausführungsbeispiel der Erfindung unterstützt. Einer dieser Monitore wird direkt von der RBV 14 ansteuert, während die anderen über VDAC 26 ansteuert bzw. getrieben werden. Jeder Monitorart identifiziert sich selbst dadurch, daß gewisse Pins an der RBV an Erde gelegt werden. Dadurch werden die richtigen Pixeltakt- und Sync-Zeitabparameter automatisch gewählt. Die vier Monitorarten, die von dem beschriebenen Ausführungsbeispiel der Erfindung unterstützt werden, sind ein 9" Macintosh SE (Mac SE), ein modifizierter Apple II-CS Monitor, ein Macintosh II 12" S/W und 13" RGB Monitor sowie ein 15" Portrait-Monitor (S/W oder RGB).

Tabelle 1 faßt den über die 3-Bit-Monitor-ID-Pins der Leitung 35 ausgewählten Monitore zusammen. Zu beachten ist, daß ein getrennter Pin an dem RBV-Chip vorgesehen ist (in Fig. 1 nicht gezeigt), der einen eingebauten 9-Zoll-SE-Monitor ansteuert bzw. treibt.

5

10

15

20

25

30

35

40

45

50

55

60

65

## DE 40 25 295 A1

Tabelle 1

	SE Pin an RBV	MON ID 3	MON ID 2	MON ID 1	ausgewählter Monitor
5	Mac SE				
	ERDE	0	0	0	ungestützter Monitor (treibt eingebauten 9" SE-Monitor)
	ERDE	0	0	1	15" Portraitmonitor (s/w)
10	ERDE	0	1	0	Modifizierter Apple II-GS Monitor
	ERDE	0	1	1	ungestützter Monitor (treibt eingebauten 9" SE-Monitor)
	ERDE	1	0	0	ungestützter Monitor (treibt eingebauten 9" SE-Monitor)
15	ERDE	1	0	1	15" Portraitmonitor (RGB)
	ERDE	1	1	0	MAC II 12" S/W & 13" RGB
	ERDE	1	1	1	kein externer Monitor (treibt eingebauten 9" SE-Monitor)
20	Alle ander. CPUs				
	+5V	0	0	0	ungestützter Monitor (Video gehalten)
	+5V	0	0	1	15" Portraitmonitor (S/W)
	+5V	0	1	0	modifizierter Apple II-GW-Monitor
	+5V	0	1	1	ungestützter Monitor (Video gehalten)
25	+5V	1	0	0	ungestützter Monitor (Video gehalten)
	+5V	1	0	1	15" Portraitmonitor (RGB)
	+5V	1	1	0	Mac II 12" S/W, 13" RGB
	+5V	1	1	1	kein externer Monitor (Video gehalten)

30 Im folgenden wird auf Fig. 2 Bezug genommen, in der ein detailliertes Blockschaltbild des RBV-Chip 14 zusammen mit den Verbindungen zur Computer-Mutterkarte 40 gezeigt ist. Die CPU 13 ist mit verschiedenen Geräten, wie einem ROM 47, I/O-Geräten 45, NUBUS 46 und VDAC 26 über einen CPU-Datenbus 50 und CPU-Adressbus 65 gekoppelt. Ein Systemspeicher ist zwei RAM-Bänken, Bank A (43) und Bank B (42) gezeigt. Bank B RAM (42) ist direkt mit dem CPU-Datenbus 50 gekoppelt, während ein Buspuffer 44 den CPU-Datenbus 50 vom Bank A RAM-Datenbus 21 trennt. Bei dem beschriebenen Ausführungsbeispiel ist Buspuffer 44 ein im Handel erhältlicher 74F245-Buspuffer.

40 RBV 14 ist funktionell gleichwertig einer separaten Videokarte, ist jedoch als integrierte Schaltung in die Mutterkarte bzw. Hauptplatine einbezogen. Um diese Funktion zu erreichen, kann Bank A des System-RAM mittels des Buspuffers 44 selektiv vom CPU-Datenbus 50 entkoppelt werden. Dies ermöglicht den alleinigen Zugriff auf Bank A durch die RBV 14 über den Bank A RAM-Bus 21. In der Bank 43 des System RAM gespeicherte Daten werden von der RBV zum Anlegen eines konstanten Videodatastroms an den Displaymonitor 27 während des laufenden (live) Videoabschnitts jeder horizontalen Abtastzeile verwendet. RBV 14 fragt die MDU 12 nach Daten, während sie benötigt werden; MDU 12 antwortet durch Trennen des Busses 21 vom CPU-Datenbus 50 und Durchführen einer 8-langen Wort-Seitenmodus-Burst-Leseoperation von der RAM-Bank A 43 in den FIFO 54, der innerhalb der RBV 14 angeordnet ist. Bänke 43 und 42 werden von der MDU 12 über den RAM Steuerbus 52 gesteuert.

45 Wenn ein Videoburst abläuft, wird der CPU-Zugriff auf Bank 43 verzögert, wobei effektiv CPU 13 verlangsamt wird. Dieser Effekt ändert sich in Abhängigkeit von der Monitorgröße und der Anzahl von Bits pro Pixel. Zu beachten ist, daß nur Zugriffe auf RAM-Bank A von Video berührt werden. RAM-Bank B verbindet den CPU-Datenbus 50 direkt, so daß CPU 13 jederzeit uneingeschränkt Zugriff auf diese Bank wie auch auf ROM 47 und I/O-Geräte 45 hat. Es ist einzusehen, daß die Erfahrung ohne Bank 42 oder mit weiteren RAM-Bänken auf jeder Seite des Buspuffers 44 implementiert werden kann. Obwohl die Erfahrung ohne Bank 42 ordnungsgemäß arbeiten würde, trägt die Einbeziehung von Bank 42 zum Gesamtwirkungsgrad und zur Leistungsfähigkeit des Computersystems dadurch bei, daß sie einen Teil des der CPU 13 zur Verfügung stehenden Speichers liefert.

50 Der Videoteil von RBV 14 enthält eine  $16 \times 32$  Bit FIFO (Silo) Speichereinheit 54, die auch eine den FIFO mit RAM-Daten gefüllt haltende Logik und eine der Datenanordnung und -ausgabe dienende Logik aufweist. RBV 14 enthält auch ein Latch 53, das zum Ausblenden von auf dem Bus 21 befindlichen Daten in das FIFO 54 über eine Ladezeigerleitung 55 verwendet wird. Videodata werden über eine mit einem Bitreihenfolge-Ordner 57 gekoppelte Leitung 46 aus dem FIFO 54 ausgeladen. Der Ordner 57 ist seinerseits über eine Leitung 58 mit einem Schieberegister 59 gekoppelt. Das Schieberegister 59 schiebt die vom Bitreihenfolge-Ordner 57 angeordneten Videodata auf den Videodatabus 29 aus. Ein Abgriffswähler 60, der das Register 59 mit dem Bus 29 verbindet, wird weiter unten beschrieben.

55 Das Video FIFO 54 ist in zwei Hälften unterteilt, von denen jede acht 32-Bit lange Worte enthält. Wenn die letzten Daten in einer FIFO-Hälfte benutzt worden sind (oder drei lange Wörter vorher für einen 13-Zoll-Monitor bei acht Bits pro Pixel oder für einen 15-Zoll-Monitor bei vier Bits pro Pixel), senkt RBV 14 ihre Datenanforderungsausgangsleitung 24 (VID.REQ). Diese Videoanforderungsleitung weist MDU 12 an, durch Aktivieren des Buspuffers 44 Bank A RAM-Datenbus 21 vom CPU Datenbus 50 abzutrennen. Sie initiiert auch eine Seitenmodus-Burst-Leseoperation von RAM-Daten auf Bus 21, sobald dies möglich ist. MDU 12 blendet dann gültige

## DE 40 25 295 A1

RAM-Daten in RBV 14 aus, und zwar unter Verwendung der Videodaten-Lade-Eingangsleitung 23 (VID.LD) der RBV. Die Video-Lade-Eingangsleitung 23 steuert Latch 53.

Jede Rückflanke eines VID.LD-Impulses speichert ein 32-Bit langes Wort von RAM-Daten in Latch 53, speichert die zwischengespeicherten Daten im FIFO 54 und schiebt den Eingangszeiger in die nächste Position im FIFO vor. Daten werden über eine vom Steuerlatch 53 ausgehende Leitung 55 in das Video FIFO 54 eingegeben. Nach der Rückflanke des sechsten VID.LD-Impulses hebt die RBV ihre Videodaten-Anforderungsleitung (VID.REQ) 24 an. Wenn VID.REQ vor der Rückflanke des siebzehnten VID.LD-Impulses hoch ist, beendet MDU 12 den Burst nach Lesen eines oder mehrerer langer Wörter (des achten) und blendet es in die RBV aus. Dadurch wird die zuvor leere Hälfte des FIFO gefüllt.

Mittlerweile können die anderen acht langen Worte von Daten in der anderen Hälfte des FIFO (die während der vorhergehenden Burst-Lesoperation geladen worden sind) über Bus 58 in 16-Bit-Gruppen in das Schieberegister 59 geladen werden. Nach dem Laden der acht langen Worte aus der zweiten Hälfte von FIFO 54 (d.h. die zweite Hälfte ist leer), werden die nächsten acht langen Worte aus der ersten Hälfte des FIFO (das zuvor mit Videodaten geladen worden ist) in das Schieberegister 59 geladen. Während dieser Zeit erhält jetzt die zweite Hälfte von FIFO 54 (während der letzten Ladefolge geleert) aktualisierte Videodaten aus RAM-Bank A. Die zweite Hälfte ist, wie oben beschrieben, gefüllt, und der gesamte Prozeß wiederholt sich selbst — die beiden Hälften von FIFO 54 erhalten abwechselnd Daten aus RAM 43 und laden Daten in das Schieberegister 59.

Das Schieberegister 59 hat acht Ausgangsabgriffe, die mit dem Abgriffswähler 60 gekoppelt sind. Die Daten werden durch das Schieberegister 59 bitweise von dem auf der Leitung 30 erscheinenden Punktaktsignal verschoben. Die acht Ausgangsabgriffe sind entlang des Schieberegisters an abwechselnden Bits (d.h. jedes zweite Bit) angeordnet. Durch Verwendung von einem, zwei, vier oder allen acht Abgriffen können die Daten jeweils Bit-für-Bit (ein-Bit-Video), zwei Bits gleichzeitig (zwei-Bit-Video), vier Bits gleichzeitig (vier-Bit-Video) oder acht Bits gleichzeitig (acht-Bit-Video) erscheinen.

Damit die Daten in der richtigen Reihenfolge an den Ausgangsabgriffen erscheinen, müssen die sechzehn Bits in der richtigen Reihenfolge für die Anzahl von Bits pro gewähltem Pixel in das Schieberegister 59 geladen werden sein. Diese Funktion erfüllt der Bit-Reihenfolgen-Ordner 57, der die Worte aus dem FIFO 54 über die Leitung 56 und auch die Bit-pro-Pixel-Information über die Leitung 89 erhält. Für ein-Bit-pro-Pixel-Video wird nur der letzte Ausgangsabgriff verwendet, und alle sechzehn Bits im Schieberegister erscheinen an diesem Abgriff nach sechzehn aufeinanderfolgenden Punktakten.

Umgekehrt werden für acht-Bit-Video alle acht Abgriffe benutzt, und die sechzehn Bits werden an die acht Ausgangsleitungen des Video-Datenbusses 29 nach nur zwei Punktakten ausgesendet. In jedem Falle werden die nächsten sechzehn Bits in das Schieberegister 59 aus dem FIFO 54 geladen, und der Ausgangszeiger des FIFOs wird vorgerückt, wenn alle sechzehn Bits an den Video-Datenbus 29 ausgegeben werden sind. Dies leert eventuell die Hälfte des FIFOs. Die leere Hälfte des FIFOs 54 muß danach in der oben beschriebenen Weise durch einen anderen 8-Langwort-Burst von RAM-Daten gefüllt werden.

Im folgenden wird auf die Fig. 5a bis 5d Bezug genommen, in denen Bitordnungen bzw. -reihenfolgen innerhalb des Schieberegisters 59 für ein Bit, zwei Bits, vier Bits bzw. acht Bits pro Pixel gezeigt sind. Wie deutlich zu sehen ist, beginnt die Bitreihenfolge für ein-Bit-pro-Pixel-Video bei 0 und setzt sich sequentiell fort zum Bit 15, das am Abgriff 0 angeordnet ist. Daher werden bei ein-Bit-Video die Daten an einer der acht Leitungen im Ausgangsdatenbus 29 sequentiell geladen und vorgerückt. Die anderen sieben Leitungen in dem Bus werden auf einen hohen Pegel getrieben.

Bei zwei-Bit-Video sind die ungeraden Bits in der linken Hälfte des Schieberegisters (d.h. ungerade Bits 1 — 15), endend am Abgriff 1 (angeordnet), während die gerade numerierten Bits (d.h. gerade Bits 0 — 14) in der rechten Hälfte des Schieberegisters, endend beim Abgriff 0, geladen sind. Auch hier sind die Ausgangsdatenbusleitungen, die mit den unbenutzten Abgriff verbunden sind, auf hohen Pegel getrieben.

Bei vier-Bit-Video ist die Bitordnung bzw. -reihenfolge sogar verworckelter. Wie gezeigt ist, ist die Bitreihenfolge so, daß Bits, 12, 8, 4 und 0 am Abgriff 0, Bits 14, 10, 6 und 2 am Abgriff 2, Bits 13, 9, 5 und 1 am Abgriff 1 und Bits 15, 11, 7 und 3 in dieser Reihenfolge am Abgriff 3 ausgeschoben werden.

Für acht-Bit-Video werden alle acht Abgriffe in der folgenden Weise verwendet: Abgriff 0 verschiebt Bits 8 und 0, Abgriff 1 Bits 9 und 1, Abgriff 2 Bits 10 und 2, Abgriff 3 Bits 11 und 3, Abgriff 4 Bits 12 und 4, Abgriff 5 Bits 13 und 5, Abgriff 6 Bits 14 und 6 und Abgriff 7 verschiebt Bits 15 und 7 in dieser Reihenfolge. Bei acht-Bit-Video sind alle sechzehn Bits nach zwei Punktaktpérioden ausgeschoben.

Jeder der in den Fig. 5a bis 5d gezeigten Abgriffe ist über den Abgriffswähler 60 mit dem Datenausgangsbus 29 (z.B. VID.OUT) derart gekoppelt, daß das am höchsten bewertete Bit VID.OUT 7 und das am niedrigsten bewertete Bit VID.OUT 0 entspricht. So wird beispielsweise für acht-Bit-Video jedes lange Wort derart ausgeschoben, daß Bit 31 an VID.OUT 7 zur selben Zeit erscheint, wie Bit 30 an VID.OUT 6, Bit 29 an VID.OUT 5, Bit 28 an VID.OUT 4, Bit 27 an VID.OUT 3, Bit 26 an VID.OUT 2, Bit 25 an VID.OUT 1 und Bit 24 an VID.OUT 0 usw. Ein-Bit-Video erscheint am Ausgangspin VID.OUT 0 während Pins VID.OUT 1 — 7 hoch gehalten werden (sie erscheinen als Einsen). Jedes Langwort aus dem RAM wird auf VID.OUT 0 ausgeschoben, beginnend mit Bit 31 und direkt fortsetzend mit Bit 0, während der Monitorstrahl von links nach rechts läuft.

Wie in Fig. 2 gezeigt, ist der Abgriffswähler 60 mit Leitung 89 verbunden und nimmt die Anzahl von Bits pro Pixel auf, die auf den Videodatenbus 29 ausgegeben werden sollen. Einmal an jedem Videorahmen (am Ende des vertikalen Synchronisationimpulses senkt RBG 40 ihre Video-Reset (VID.RES) Ausgangsleitung 25, um den Videoadreßzähler der MDU rückzusetzen. Danach gibt die RBV unmittelbar vor der ersten Zeile von Live-Video zwei 8-lange-Wörter-Anforderungen, so daß sie startet mit Video FIFO 54 vollständig voll. Danach wird der Prozeß in der oben beschriebenen Weise fortgesetzt — wobei Wörter zum gleichen Zeitpunkt ausgeschoben werden, in welchem neue Datenwörter eingeschoben werden.

RBV 14 senkt das Potential auf seiner VID.REC-Leitung 24, wenn sie zur Aufnahme acht langer Wörter an

## DE 40 25 295 A1

5 Eingangsdaten aus dem RAM 43 bereit ist. Von da an wartet sie darauf, daß das Speichersteuergerät 12 Dateneingabe ausblendet. Daten werden vom Speichersteuergerät 12 unter Verwendung der VID.LD-Leitung 23 eingeblendet. Die RBV wartet eine undefinierte Zeit auf den Einlauf der Videodaten (obwohl sie eventuell mit dem Ausschieben alter Daten aus dem FIFO beginnt, wenn sie genügend lange zu warten hat). Sie nimmt eine beliebige Anzahl von eingeblendeten langen Worten (long words) auf, obwohl diese Daten eventuell Daten zu überschreiben beginnen, die noch nicht ausgeschoben worden sind, wenn zu viele Langworte eingeblendet werden.

10 Nach dem sechsten VID.LD-Strobe hebt RBV 14 VID.REQ-Leitung 24 an. Dies findet selbst dann statt, wenn die nächste Anforderung nach acht langen Worten bereits ansteht. Wenn die VID.REQ-Leitung 24 vor dem Ende des siebten VID.LD-Strobe angehoben worden ist, blendet die MDU 12 ein weiteres langes Wort (das achte) in die RBV-Einheit aus und wartet danach auf das nächste VID.REQ-Signal (das zu einem beliebigen Zeitpunkt nach dem Ende des siebten VID.LD-Strobes auftreten kann).

15 Die RBV-Einheit 14 enthält keine Informationen hinsichtlich der Bildschirmabbildung oder Videoadressen. Sie nimmt einfach an, daß sie auf Anforderung vom Speichersteuergerät die richtigen Daten, zumeist in 8-Langwortgruppen (8-long-word-groups) erhält. Am Ende jedes Vertikalsynchronisationsimpulses senkt die RBV 14 ihre VID.RES-Leitung 25 für den Zeitraum zwischen zwei horizontalen Synchronisationsimpulsen ab. Das Steuergert 12 benutzt dieses Signal zum Rücksetzen seines Videoadresszählers zurück auf den Beginn des Rahmenpuffers.

20 In ähnlicher Weise weiß das Speichersteuergerät 12 nichts über die Videoschaltung oder deren Parameter. Wenn es feststellt, daß die VID.REQ-Leitung potentiell absinkt, wartet es, bis ein laufender Bank A RAM-Zyklus beendet ist. Danach weist es die RAM-Buspuffer an, in den Tri-State-Betrieb zu gehen wodurch der Bus 21 vom CPU-Datenbus 50 abgetrennt wird. Als nächstes beginnt eine Seitenmodus-Burst-Leseoperation des RAM.

25 Zu beachten ist, daß nur drei Drähte (VID.REQ, VID.LD und VID.RES) zur Wechselwirkung zwischen MDU 12 und RBV 14 erforderlich sind. RBV 14 braucht keine Informationen bezüglich des Speichers oder der MDU zu speichern. In ähnlicher Weise braucht MDU 12 nichts über Video zu wissen. Jede Einheit kommuniziert einfach mit der anderen nach dem oben beschriebenen 3-Draht-Handshaking (Quittungs-)Schema. Dadurch wird das Systemdesign sowie die interne Architektur sowohl der MDU als auch der RBV-Einheit wesentlich vereinfacht. Außerdem wird die Systemflexibilität verbessert. Die RBV könnte ohne Beeinträchtigung der MDU durch ein anderes Video oder ein anderes DMA-aus-RAM-Gerät ersetzt werden, oder die Speicheradressen und Organisationen könnten ohne Beeinflussung der RBV geändert werden, solange das Handshaking- bzw. Quittungsschema erhalten bleibt.

30 MDU 12 signalisiert jedes lange Wort der Burst-Leseoperation durch Absenkung seiner VID.LD-Leitung über eine CPU-Taktperiode. Sie setzt den Seitenmodus-Burst undefiniert fort – stoppt nur eine Leseoperation nach der Feststellung der Rückkehr der VID.REQ-Leitung 24 auf einen hohen Zustand. Die von der MDU 12 für die Video-Burst-Leseoperationen gelieferten Adressen beginnen mit Adresse \$ 00000000 und inkrementieren um ein langes Wort bei jedem VID.LD. Dies wird undefiniert fortgesetzt (unter Verwendung eines 24-Bit-Zählers innerhalb des Speichersteuergeräts), bis MDU 12 einen Abfall auf der VID.RES-Leitung 25 feststellt. Wenn VID.RES (video reset) niedrig gezogen ist, wird der Zähler innerhalb der MDU 12 auf \$ 00000000 rückgesetzt.

35 40 Im folgenden wird auf Fig. 4 Bezug genommen, in der ein Zeitdiagramm gezeigt ist, das die Wechselwirkung zwischen der RBV-Einheit und der MDU-RAM-Steuerung dargestellt. Der Übergang 101 auf der VID.REQ-Leitung beginnt den Prozeß der Videodatenübertragung aus dem RAM 43 zum FIFO 54. Wenn der RAM 43 in einem laufenden RAM-Zyklus mit der CPU 13 engagiert ist, wartet die MDU 12, bis dieser RAM-Zyklus abgeschlossen ist, bevor sie den Buspuffer 44 anweist, in den Tri-State zu gehen.

45 45 Ein neuer CPU-RAM-Zyklus beginnt bei dem dargestellten Ausführungsbeispiel zum Zeitpunkt 102. Da jedoch die VID.REQ-Leitung 24 in den niedrigen Zustand übergewechselt ist, wird der CPU-Zyklus von dem 8-Langwort-Video-Burst über zwanzig Takte abgehalten. Der Start des Video-Lesezyklus beginnt zum Zeitpunkt 103. Ein Minimum von fünf Taktzyklen nach dem abfallenden Übergang der VID.REQ-Leitung beginnt die Einblendung der in der RAM-Bank A gespeicherten Videodaten in den FIFO 54. Das erste Langwort an Videodaten wird an der ansteigenden Flanke 104 des VID.LD-Signals geladen. Wenn die VID.REQ-Übergänge bei 105 hoch sind, wird die MDU beim nächsten positiv verlaufenden Übergang von VID.LD alarmiert, um ein weiteres Videodatenwort zu liefern. Das letzte Videodatenwort wird bei dem dargestellten Beispiel am Übergang 106 geladen.

50 55 Das Ende des Videoburst-Lesezyklus tritt zum Zeitpunkt 107 auf. Danach beginnt zum Zeitpunkt 108 eine Fortsetzung des zurückgehaltenen CPU RAM-Zyklus. Zu beachten ist, daß eine neue Videoanforderung initiiert werden kann unmittelbar nachdem MDU 12 feststellt, daß VID.REQ beim nächsten positiv verlaufenden Übergang von VID.LD hochgebracht worden ist. Dies ist in Fig. 4 dargestellt durch den gestrichelten Übergang 109.

60 65 Wie oben gesagt, ist das Video-Schieberegister 59 sechzehn Bits lang und ist alle zwei Bitstellen mit Abgriffen versehen. Für acht-Bit-Video werden alle Abgriffe benutzt, und jedes der sechzehn Datenbits erscheint nach zwei Pixeltakten an einem Abgriff. Wenn keine neuen Daten geladen sind, sind vierzehn weitere Pixeltakte notwendig, bevor Einsen aus dem letzten Abgriff ausgeschoben werden. (Einsen werden in Ersatz der alten, ausgeschobenen Datenbits eingeschoben).

Bei Beginn des horizontalen Austastens hat das Video-Schieberegister eine Schiebeoperation abgeschlossen, so daß alle sechzehn Datenbits an einem der verwendeten Abgriffe in Form von sechzehn 1-Bit-Pixeln, acht 2-Bit-Pixeln, vier 4-Bit-Pixeln oder zwei 8-Bit-Pixeln erscheinen. Horizontalauftastung verhindert das Laden neuer Daten in das Schieberegister. Das Schieberegister, das vom Punktakt getaktet wird und daher stets Schiebeoperationen ausführt, setzt sein Ausschieben alter Daten solange fort, bis es vollständig mit Einsen

## DE 40 25 295 A1

gefüllt ist. RBV 14 sendet fortgesetzt alte Daten über vierzehn Pixeltakte in 8-Bit-Betrieb, zwölf Pixeltakte in 4-Bit-, acht Pixeltakte in 2-Bit- oder null Pixeltakte in 1-Bit-Betrieb aus. Danach verschiebt das Schiebergäster alle Einsen, bis es erneut wieder mit neuen Daten geladen wird. Da der Macintosh SE nur ein-Bit-Video verwendet, gibt es keine alten Daten zum Ausschieben nach Beginn des Austastens. An anderen Computern verhindert das zusammengesetzte Austastsignal (CBLANK), das auf der Leitung 61 (Fig. 2) zur Verfügung gestellt und in den VDAC 26 eingegeben wird, das Erscheinen alter Daten auf dem Bildschirm.

Eine Vertikalaustastung findet nach Beginn der Horizontalaustastung und nach dem Laden des FIFO 54 mit einem weiteren 8-Lang-Wort-Burst an Daten aus der Bank 43 statt. Diese 8-langen Worte werden niemals in das Schieberegister 59 geladen, das (nach dem Ausschieben noch in ihm befindlicher alter Daten) mit dem Verschieben von Einsen während des vertikalen Austastens fortfährt. Ziemlich früh in der vertikalen Austastfolge werden alle Zeiger rückgesetzt und VID.RES gesenkt, wodurch der Video-Adreßzähler der MDU rückgesetzt wird. Danach wird etwa zwei Zeilen vor dem Ende der Vertikalaustastung FIFO 54 mit sechzehn Langworten von neuen Daten geladen, welche in Vorbereitung des Starts von Live-Video vorgeladene Daten ersetzen.

Die Video-Synchronisationssignale (die HSYNC, VSYNC, CSYNC und CBLANK umfassen) werden von der Video-Zählereinheit 69 erzeugt. Die Video-Zählereinheit 69 weist eine Reihe programmierbarer Zähler einer im Stande der Technik in Verbindung mit der Verwendung zur Erzeugung von Video-Zeitgabesignalen bekannten Art auf. Die Videozähler der Einheit 69 sind selbstkonfigurierend in dem Sinne, daß die Video-Zählereinheit 69 die richtigen Zeitgabesignale für das zugehörige Display oder den Monitor liefern kann, sobald sie mit dem Monitorotyp und den Bits-pro-Pixel-Erfordernissen versehen worden ist.

Im folgenden wird auf Fig. 3 Bezug genommen, in der horizontale und vertikale Zeitgabesignalverläufe dargestellt sind, welche die Beziehung zwischen dem horizontalen Austasten, Live-Video, Horizontalsynchronisation, vertikalem Austasten, Zeilen von vertikalem Live-Video und vertikale Synchronisationssignale zeigen. Bekanntlich hängt jeder der der horizontalen und vertikalen Zeitgabe zugeordneten Parameter von dem Display- oder Monitortyp ab, der jeweils verwendet wird.

Von diesem Videosystem unterstützte Monitore liefern die Identifikation (ID) ihres Typs über einen Digitalcode, der auf einem Satz von externen Leitungen oder Pins ansteht. Bei dem beschriebenen Ausführungsbeispiel sind die ID-Pins eines Monitors 27 mit einem Monitor-Parameterregister 71 über eine 3-Bit-Leitung 35 gekoppelt. Der Monitorotyp wird über eine Leitung 87 zur Video-Zählereinheit 69 und zu einem MUX 88 übertragen. Bit-pro-Pixel-Informationen werden über eine Leitung 89 vom Register 71 an die Einheit 89 und den Ordner 57 angelegt.

Software kann den Monitorotyp im Register 71 lesen und kann auch die Anzahl von Bits pro Pixel im gleichen Register lesen oder schreiben. Durch Decodieren des 3-Bit-Monitor-ID-Typs wird einer von vier festen Parametersätzen ausgewählt, von denen ein Satz für jeden unterstützten Monitor gilt. Diese Parametersätze sind auf dem Chip "fest verdrahtet" und liefern Signale HSYNC, VSYNC usw. Der einzige programmierbare Parameter ist der Parameter für Bits-pro-Pixel.

Bei einem alternativen Ausführungsbeispiel kann das Register 71 oder dessen Äquivalent voll programmierbar sein. Dies würde dem System die Fähigkeit zur Einstellung einer großen Zahl von Displayparametern geben, wobei die einzige Beschränkung die Größe des internen Speichervolumens des Registers 71 darstellt. In diesem Falle würden die Monitor-ID-Bits durch Software decodiert, welche dann in das Register 71 schreiben würde, und zwar unter Lieferung aller richtigen Parameter für das zugehörige Display.

Die folgende Tabelle faßt die von der RDV gelieferten relevanten Zeitgabeparameter (dargestellt in Fig. 3) für die vier Monitortypen zusammen, die von dem beschriebenen Ausführungsbeispiel der Erfindung unterstützt werden.

Tabelle 2

	9" Mac SE	Modifiz. Apple II-GS RGB	12" S/W und 13" RGB Mac II	15" Portrait	
<b>HBLANK</b>	192 Punkte	128 Punkte	224 Punkte	192 Punkte	
<b>LIVE VIDEO (Horiz)</b>	512 Punkte	512 Punkte	640 Punkte	640 Punkte	
<b>Volle Zeile</b>	704 Punkte	640 Punkte	864 Punkte	832 Punkte	
<b>Front-Schwarzschulter (Horiz)</b>	14 Punkte	16 Punkte	64 Punkte	32 Punkte	
<b>HSYNC</b>	288 Punkte	32 Punkte	64 Punkte	80 Punkte	
<b>Rück-Schwarzschulter (Horiz)</b>	—	80 Punkte	96 Punkte	80 Punkte	
<b>VBLANK</b>	28 Zeilen	23 Zeilen	45 Zeilen	48 Zeilen	
<b>Live Video (Vert)</b>	342 Zeilen	384 Zeilen	480 Zeilen	870 Zeilen	
<b>Voller Rahmen</b>	370 Zeilen	407 Zeilen	525 Zeilen	918 Zeilen	
<b>Front-Schwarzschulter (Vert)</b>	0 Zeilen	1 Zeile	3 Zeilen	3 Zeilen	
<b>VSYNC</b>	4 Zeilen	3 Zeilen	3 Zeilen	3 Zeilen	
<b>Rück-Schwarzschulter (Vert)</b>	24 Zeilen	19 Zeilen	39 Zeilen	42 Zeilen	
<b>Punkttakt</b>	15,6672 MHz	15,6672 MHz	30,24 MHz	57,2832 MHz	
<b>Punkt</b>	63,83 ns	63,83 nS	33,07 nS	17,457 nS	
<b>Zeilenfrequenz</b>	22,25 kHz	24,48 kHz	35,0 kHz	68,85 kHz	
<b>Rahmenfrequenz</b>	60,15 Hz	60,15 Hz	66,67 Hz	75 Hz	

## DE 40 25 295 A1

Unter Bezugnahme auf Fig. 6 wird die relative Zeitgabe der verschiedenen Synchronisationssignale zusammen mit dem VID.RES-Rücksetzsignal gezeigt. Wie in Fig. 6 zu sehen ist, senkt die Video-Zählereinheit 69 VID.RES-Leitung 25 zum Rücksetzen des Adreßzählers des Speichersteuergerätes 12 zwischen den letzten beiden horizontalen Synchronisationsimpulspausen in VSYNC. Dies findet am Übergang 110 in Fig. 6 statt. VID.RES wird gleichzeitig mit dem niedrig-auf-hoch-Übergang des VSYNC-Signals auf einen hohen Wert zurückgestellt. Danach gibt kurz vor der ersten Zeile des Live-Video RBV 14 zwei 8-lang-Worte-Anforderungen, so daß sie den Rahmen mit einem vollen FIFO beginnen kann.

Wie oben gesagt, liefert der Monitor 27 über die Busleitung 35 einen 3-Bit-Identifizierungscode an das Monitor-Parameterregister 71. RBV 14 wählt danach die richtigen Video-Zeitgabe- und Synchronisationsparameter für die Video-Zählereinheit 69. Bit-pro-Pixel-Information wird auf der Leitung 89 auch an den Bitordner 57 und die Video-Zählereinheit 69 gegeben. Die Einheit 69 weist mehrere polynomiale Zähler einer im Stande der Technik bekannten Art auf. Unter Verwendung des decodierten Monitoryps setzt die RBV diese Zähler so, daß sie Video-Zeitgabesignale entsprechend der Tabelle 2 für den zugehörigen Monitor erzeugen.

Eine Monitorotypinformation wird auf der Leitung 87 an den Multiplexer 88 angelegt. In Abhängigkeit von dem an das Computersystem angeschlossenen Monitortyp wählt Multiplexer 88 einen der drei Punktakte aus, die entweder vom Oszillator 18, 19 oder nach Zweiteilung vom Takt des Oszillators 20 abgeleitet werden (entsprechend den Frequenzen 30,2400; 57,2832 bzw. 15,6672 MHz). Der halbierte Takt aus dem Oszillator 20 wird über eine Leitung 41 an den Multiplexer 88 angelegt.

Wenn der Monitoridentifizierungscode den Monitor 27 beispielsweise als modifizierten Apple II-GS RGB Display identifiziert, so wählt MUX 88 das entsprechende Taktsignal auf der Leitung 41 (d.h. 15,6672 MHz) als Punktaktaus, der auf Leitung 30 an den VDAC 26, das Schieberegister 59 und die Video-Zählereinheit 69 angelegt werden soll. (Taktgenerator 66 dient zum Halbieren der Referenzfrequenz 20, die auf der Leitung 39 erscheint, zur Erzeugung der richtigen Punktaktfrequenz auf der Leitung 41. Taktgenerator 66 liefert auch die Eingangs/Ausgangs(I/O)-Taktgabe für I/O-Geräte 45.)

Wenn die Display-Identifizierung andererseits anzeigt, daß das Display eine 12-Zoll-S/W oder 13-Zoll-RGB MAC II ist, so wird der Frequenzbezugsblock 18 (d.h. 30,2400 MHz) auf der Leitung 37 vom MUX 88 gewählt. Würde der 15-Zoll-Portraitmonitor verwendet, so würde MUX 88 den Frequenzbezug 19 (d.h. 57,2832 MHz) auf der Leitung 38 auswählen.

Tabelle 3 faßt die Videosignale für die verschiedenen Monitore zusammen.

30

Tabelle 3

SE*	MON ID's	ausgewählter Monitor	gesetzte Signale	gestoppte Signale
35				
0	000	9" SE	VID.OUT (0-7)	HSYNC = 1
0	100		CBLANK	CSYNC = 1
0	011		SE.HSYNC	
00	111		VSYNC	
0	001	15" Portrait (S/W)	VID. OUT(0-7)	SE. HSYNC = 1
1	001		CBLANK	CSYNC = 1
0	101	15" Portrait (RGB)	HSYNC	
15	101		VSYNC	
0	010	modif. II-GS	VID. OUT(0-7)	SE. HSYNC = 1
1	010		CBLANK	HSYNC = 1
			CSYNC	VSYNC = 1
0	110	12" S/W, 13" RGB	VID. OUT(0-7)	SE.HSYNC = 1
1	110		CBLANK	HSYNC = 1
			CSYNC	VSYNC = 1
1	000	Video angehalten	keine	VID. OUT (0-7) = 1's
1	100			CBLANK = 0
55	011			CSYNC = 1
1	111			SE. HSYNC = 1
				HSYNC = 1
				VSYNC = 1

60

Zu beachten ist, daß eine größere Anzahl von Monitoren einfach durch Ausweitung der Anzahl von Frequenzquellen und/oder der Größe der zugehörigen Register und Zeilen angepaßt werden kann.

Im Rahmen des Erfindungsgedankens sind verschiedene Abwandlungen möglich. So kann beispielsweise als Alternative für die Festverdrahtung jedes Parametersatzes eine Anzahl programmierbarer Register verwendet werden, die den Einsatz von Software zur Einstellung jeder der jedem Monitoryp zugeordneten Parameter ermöglichen.

## DE 40 25 295 A1

## Patentansprüche

1. Computer mit einer Zentraleinheit (CPU) zur Ausführung eines Videodaten für das Display auf einem Monitor (27) liefernden Programms und einem Direktzugriffsspeicher (RAM 11) zum Speichern der Videodaten, dadurch gekennzeichnet, daß der Computer eine programmierbare Videoschaltung (14, 40) aufweist, die Video-Zeitgabsignale an den Monitor liefert und Videodaten aus dem RAM (11) an den Monitor zur Erzeugung des Displays auf diesem überträgt, und daß der Monitor ein Signal (35) an die Videoschaltung anlegt, um letztere mit den Erfordernissen des Monitors (27) kompatibel zu machen. 5

2. Computer mit einer Zentraleinheit (CPU) zur Ausführung eines Programms zur Erzeugung von Videodaten für die Anzeige auf einem Monitor, einem Direktzugriffsspeicher (RAM) zur Speicherung der Videodaten und einer Anordnung zum Übertragen der Videodaten von dem RAM zum Monitor für die Bildanzeige auf dem Monitor, dadurch gekennzeichnet, daß der Monitor so ausgebildet ist, daß er ein den Monitorotyp identifizierendes Signal liefert, daß eine Registerschaltung (71) zum Decodieren des Signals und zum Auswählen eines Satzes von dem Monitorotyp zugeordneten Monitorparametern, eine Frequenzquelle (18 – 20, 66) zur Lieferung mehrerer Bezugsfrequenzen, eine Punkt-Taktgeneratoranordnung (66, 88) zur Entwicklung eines Punkt-Taktsignals aus den verschiedenen Bezugsfrequenzen in Abhängigkeit von dem Signal, wobei das Punkt-Taktsignal mit dem verwendeten Monitorotyp kompatibel ist, und eine Video-Zeitgabeschaltung (14) vorgesehen sind, welche Video-Zeitgabsignale an den Monitor (27) anlegt und von dem Monitorsignal derart konfiguriert wird, daß die Video-Zeitgabsignale mit dem Monitorotyp kompatibel sind. 10

3. Computer nach Anspruch 2, dadurch gekennzeichnet, daß der Satz von Monitorparametern eine Anzahl von Bits pro Pixel der von der Übertragungsanordnung an das Display gelieferten Videodaten enthält. 20

4. Computer nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Punkt-Taktgeneratoranordnung programmierbar ist. 25

5. Computer nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß die Punkt-Taktgeneratoranordnung einen Multiplexer (88) aufweist, der mehrere mit verschiedenen Bezugsfrequenzen gekoppelte Eingänge (37, 38, 41) und einen Ausgang (30) zur Entwicklung des Punkt-Taktsignals aufweist. 30

6. Computer nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß ein Video-Digital/Analog-Wandler (26) vorgesehen ist, der die Video-Zeitgabsignale und die Videodaten aufnimmt und aus diesen rote, grüne und blaue Farbinformationen für den Monitor (27) entwickelt. 35

7. Computer zur Erzeugung von Videosignalen für die Anzeige auf verschiedenen Monitoren, dadurch gekennzeichnet, daß jeder Monitor ein Signal liefert, welches den Monitorotyp identifiziert, und daß der Computer Speichermittel zur Speicherung von Monitor-Parameterinformationen in Zuordnung zu jedem der zur Bildanzeige verwendeten Monitorotypen, wobei die Speichermittel einen Satz von dem Monitorotyp zugeordneten Monitorparametern in Abhängigkeit von dem Signal auswählen, mit dem Speichermittel gekoppelte Punkt-Taktgeneratormittel (66, 88) zur Erzeugung eines dem Typ des Monitors (27) zugeordneten Punkt-Taktsignals und eine Video-Zeitgabeschaltung aufweist, die mit den Speichermitteln und den Taktgeneratormitteln zur Erzeugung von dem Monitorotyp zugeordneten Video-Zeitgabsignalen gekoppelt ist, wobei die Video-Zeitgabsignale und die Videodaten an den Monitor anlegbar sind. 40

8. Computer nach Anspruch 7, gekennzeichnet durch einen Video-Digital/Analog-Wandler (26) zur Aufnahme des Punkt-Taktsignals, der Video-Zeitgabsignale und der Videodaten und zur Erzeugung von roten, grünen und blauen Farbanzeigeeinformationen für den Monitor (27). 45

9. Computer zur Wiedergabe von Videodaten auf einem Monitor, der ein den Monitorotyp identifizierendes Signal liefert, dadurch gekennzeichnet, daß der Computer einen Direktzugriffsspeicher (RAM) zur Speicherung der Videodaten und eine Videoschaltung (14, 40) zur Erzeugung von Video-Zeitgabsignalen für den Monitor und zur Übertragung der Videodaten aus dem RAM zu dem Monitor für die Bildanzeige auf letzterem aufweist, wobei die Videoschaltung die Video-Zeitgabsignale derart selbst konfiguriert, daß sie in Abhängigkeit von diesem Signal mit dem Typ des gekoppelten Monitors kompatibel ist. 50

Hierzu 6 Seite(n) Zeichnungen

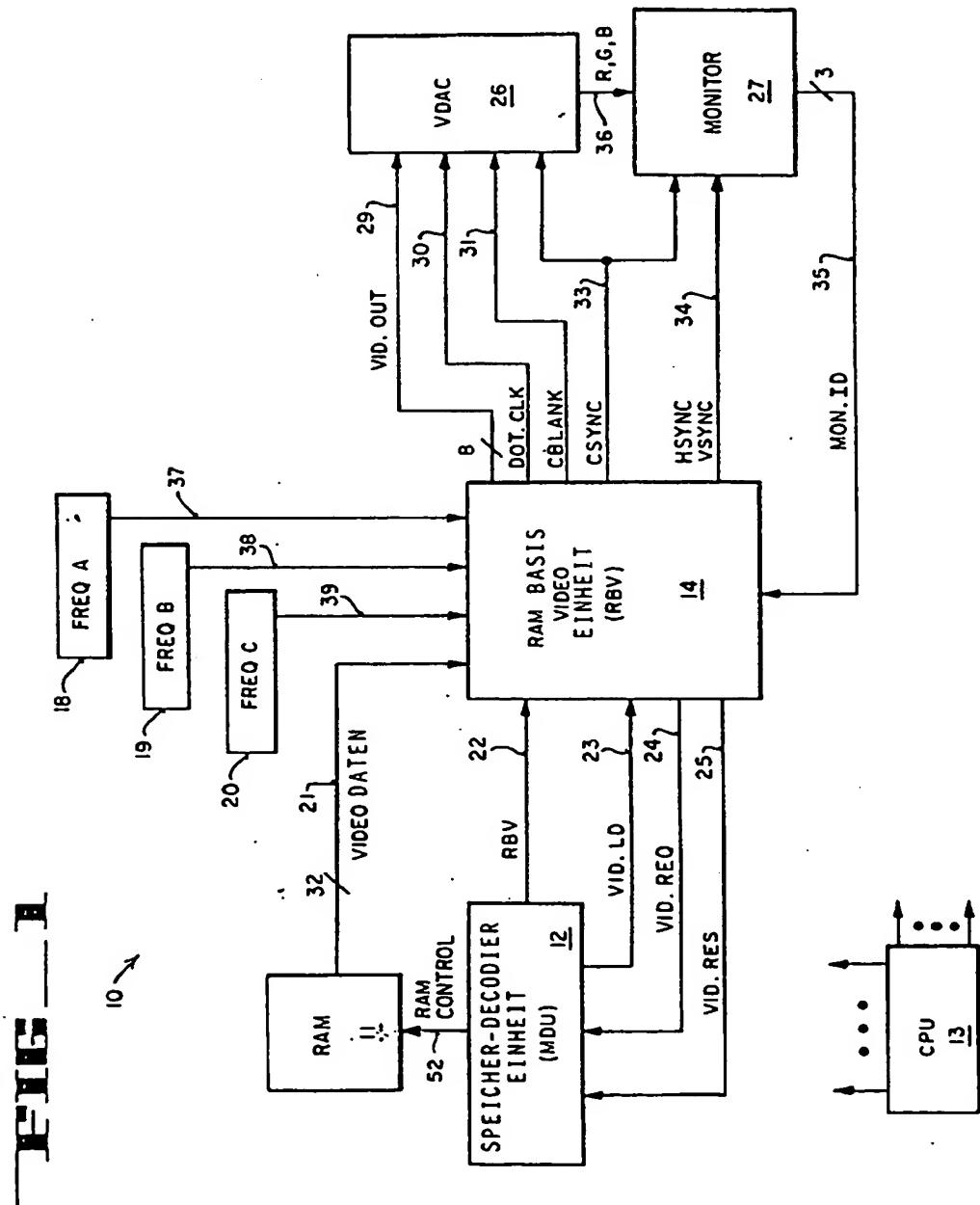
55

60

65

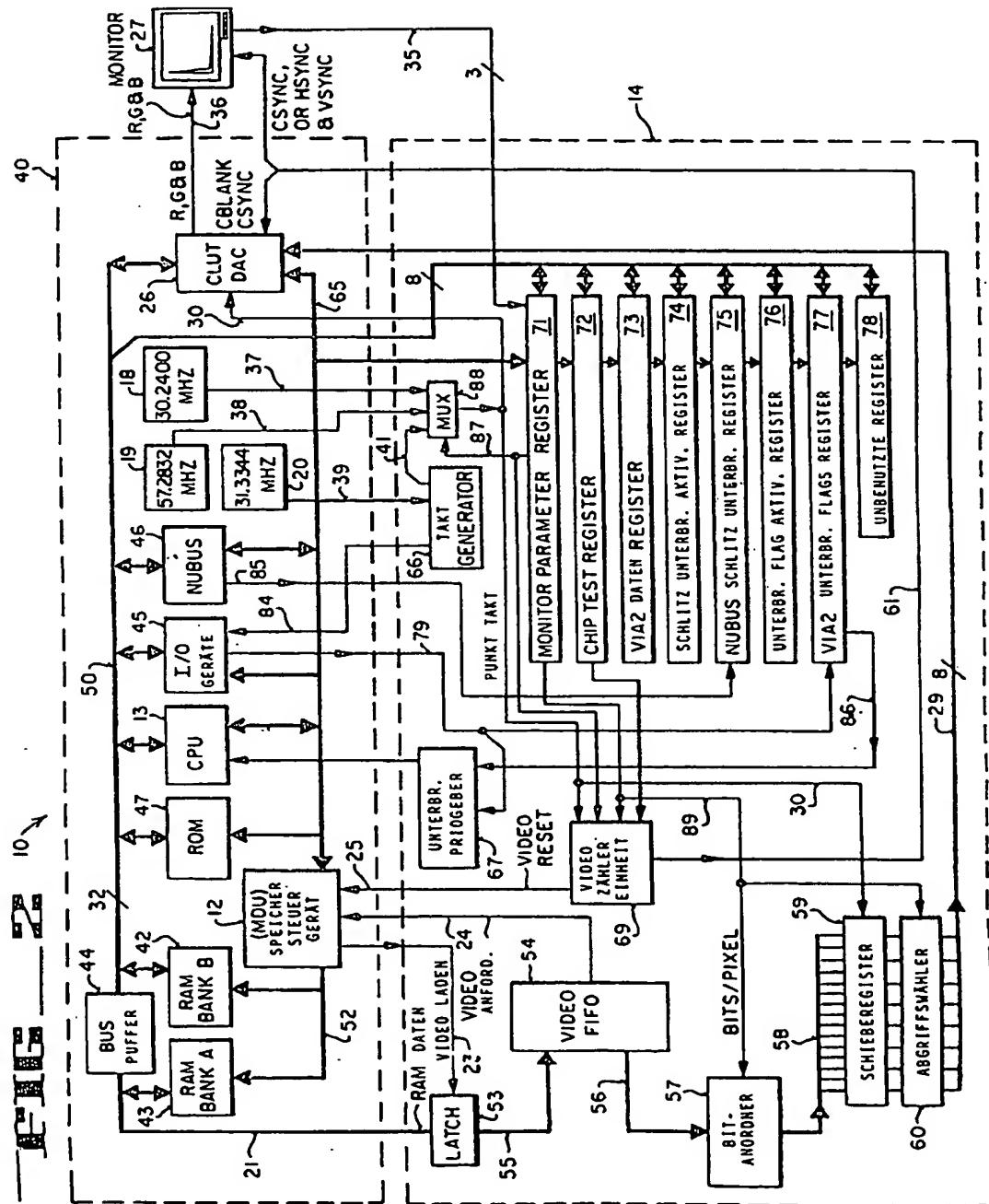
**— Leerseite —**

ZEICHNUNGEN SEITE 1

Nummer:  
Int. Cl. 5:  
Offenlegungstag:DE 40 25 295 A1  
G 08 F 3/153  
14. Februar 1991

ZEICHNUNGEN SEITE 2

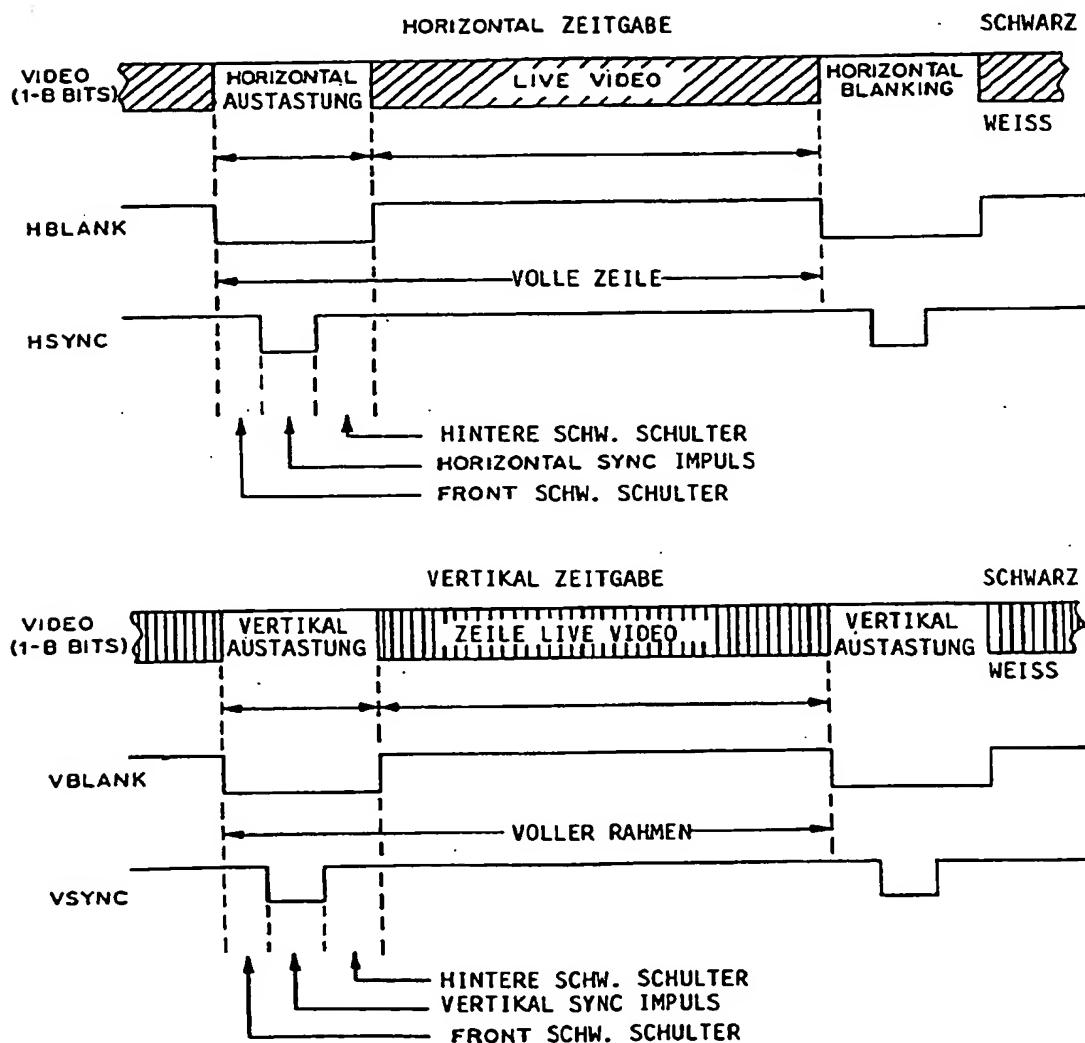
Nummer: DE 40 26 285 A1  
 Int. Cl. 5: G 06 F 3/163  
 Offenlegungstag: 14. Februar 1991



ZEICHNUNGEN SEITE 3

Nummer: DE 40 25 295 A1  
 Int. Cl. 5: G 08 F 3/153  
 Offenlegungstag: 14. Februar 1991

FIG 3

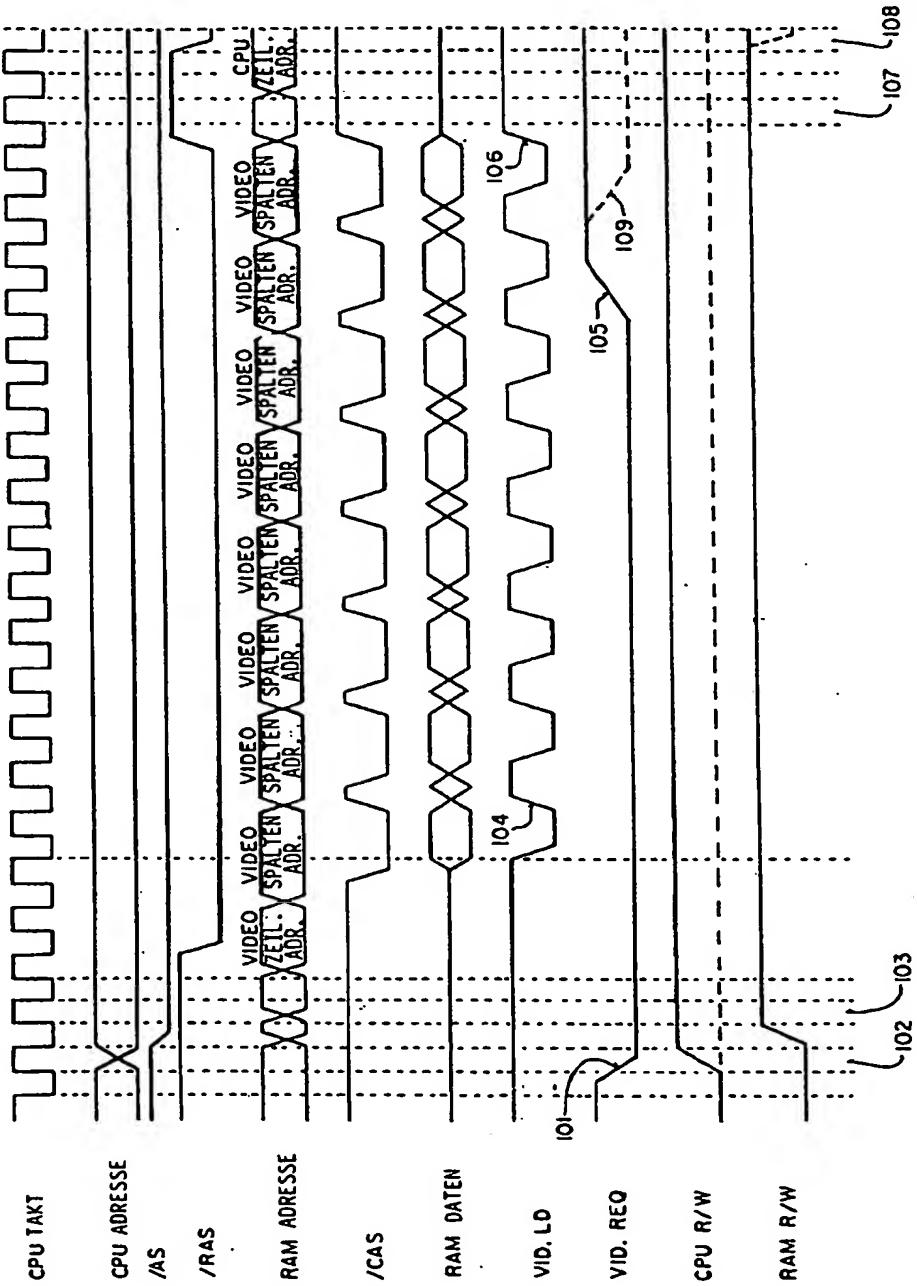


## ZEICHNUNGEN SEITE 4

Nummer:  
Int. Cl. 5:  
Offenlegungstag:

DE 40 25 295 A1  
G 06 F 3/163  
14. Februar 1991

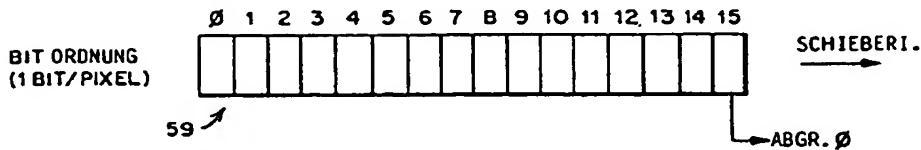
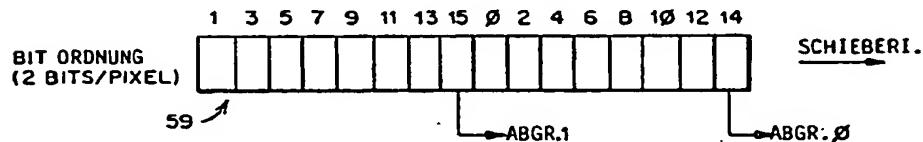
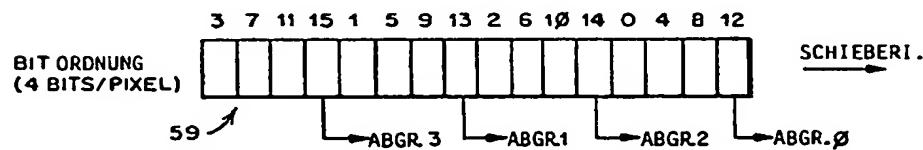
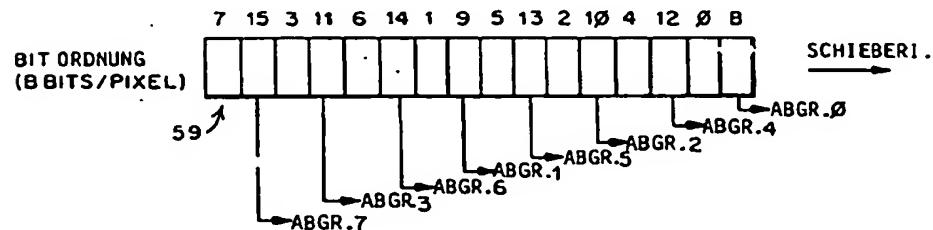
FIG. 4



ZEICHNUNGEN SEITE 5

Nummer:  
Int. Cl. 5:  
Offenlegungstag:

DE 40 25 285 A1  
G 08 F 3/163  
14. Februar 1991

**FIG 5 A****FIG 5 B****FIG 5 C****FIG 5 D**

ZEICHNUNGEN SEITE 6

Nummer:  
Int. Cl. 8:  
Offenlegungstag:

DE 40 25 285 A1  
G 08 F 3/163  
14. Februar 1991

TEIG - 6

